

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①2 Offenlegungsschrift
①1 DE 3546132 A1

②1 Aktenzeichen: P 35 46 132.2
②2 Anmeldetag: 24. 12. 85
④3 Offenlegungstag: 2. 7. 87

⑤1 Int. Cl. 4:
H03K 5/15
H 03 K 23/40
H 04 L 5/22

Behördenaigentlich

DE 3546132 A1

⑦1 Anmelder:

ANT Nachrichtentechnik GmbH, 7150 Backnang, DE

⑦2 Erfinder:

Rein, Hans-Martin, Prof. Dr., 5810 Witten, DE

BEST AVAILABLE COPY

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Schaltungsanordnung zur Erzeugung zweier Takte

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Erzeugung zweier um $\pi/2$ gegeneinander verschobenen Takte der halben Frequenz und ist dadurch gekennzeichnet, daß zwei zu einer Kaskade hintereinander geschaltete Flip-Flops vorgesehen sind, die durch eine Rückkopplung zu einem Ring ergänzt ist, wobei die eine Kopplung invertiert und die andere Kopplung nicht invertiert erfolgen, daß das erste Flip-Flop mit einem Takt und das zweite Flip-Flop mit dem invertierten Takt getaktet werden und daß die Ausgänge bzw. die invertierten Ausgänge der beiden Flip-Flops die um $\pi/2$ gegeneinander verschobenen Takte der halben Frequenz liefern (Fig. 3).

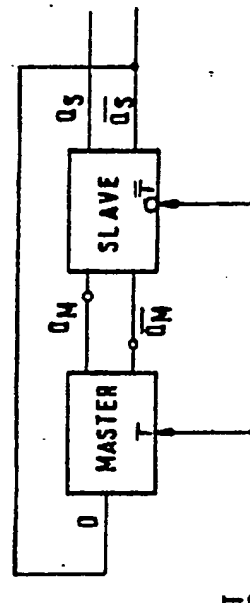


FIG. 3

DE 3546132 A1

1. Schaltungsanordnung zur Erzeugung zweier um $\pi/2$ gegeneinander verschobenen Takte der halben Frequenz, dadurch gekennzeichnet, daß zwei zu einer Kaskade hintereinander geschaltete Flip-Flops (Master, Slave) vorgesehen sind, die durch eine Rückkopplung zu einem Ring ergänzt ist, wobei eine der beiden Kopplungen, also entweder die Rückkopplung oder die kaskadische Kopplung, invertiert erfolgt, d. h. daß der Eingang (D) des ersten mit dem invertierten Ausgang (\bar{Q}_S) des zweiten Flip-Flops und/oder der invertierte Eingang des ersten mit dem Ausgang des zweiten Flip-Flops verbunden sind, und wobei die andere Kopplung nicht invertiert erfolgt, d. h. daß der Ausgang (Q_M) des ersten mit dem Eingang des zweiten und/oder der invertierte Ausgang (\bar{Q}_M) des ersten mit dem invertierten Eingang des zweiten Flip-Flops verbunden sind, daß das erste Flip-Flop mit einem Takt (T) und das zweite Flip-Flop mit dem invertierten Takt (\bar{T}) getaktet werden und daß die Ausgänge (Q_M , Q_S) bzw. die invertierten Ausgänge (\bar{Q}_M , \bar{Q}_S) der beiden Flip-Flops die um $\pi/2$ gegeneinander verschobenen Takte der halben Frequenz liefern (Fig. 3).
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Flip-Flops D-, RS- oder JK-Flip-Flops sind.
3. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß für die beiden Flip-Flops ein Master-Slave-Flip-Flop eingesetzt wird.
4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Anwendung in einem 1- oder 2-stufigen 1:4-Demultiplexer für hohe Bitraten.
5. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Anwendung in einem 1- oder 2-stufigen 4:1-Multiplexer.

Beschreibung

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Erzeugung zweier um $\pi/2$ gegeneinander verschobenen Takte der halben Frequenz.

In der Nachrichtentechnik werden des öfteren zur Signalverarbeitung Takte benötigt, die zeitlich um $\pi/2$ gegeneinander versetzt sind. Solche Takte werden durch gleichzeitiges Teilen eines Taktsignales der doppelten Frequenz und des dazu komplementären Taktsignals erzeugt. Als Beispiel gilt in Fig. 1 angegebene Schaltungsanordnung für einen 2-stufigen 1:4-Demultiplexer für hohe Bitraten. Es sind die drei 2:1-Demultiplexer DX1 bis DX3 erkennbar, durch die das Datensignal D in die 4 Einzelsignale demultiplext wird. Die dazu erforderliche Taktversorgung erfolgt durch eine ebenfalls 2-stufige Flip-Flop-Anordnung F1 bis F3, in der das Taktsignal T des Eingangs-Datenmultiplex-Signals D jeweils frequenzmäßig halbiert wird. Die beiden Flip-Flops F2 und F3 der 2. Stufe realisieren dabei das o. g. gleichzeitige Teilen eines Taktsignals $Q1$ mit der halben Eingangstaktrate T bzw. des komplementären Signals $\bar{Q1}$. Die Ausgangssignale $Q2$ und $Q3$ der Flip-Flops F2 und F3 der 2. Stufe bzw. die invertierten Ausgangssignale $\bar{Q2}$ und $\bar{Q3}$ sind die für die Demultiplexer der 2. Stufe benötigten um $\pi/2$ versetzten Taktsignale mit der Taktrate von $1/4$ der Taktrate des eingangsseitigen Taktsi-

gnals T .

Die beiden Takt-Teiler-Flip-Flops der 2. Stufe müssen ebenso wie die 1. Teiler-Stufe bei Demultiplexern für Hochgeschwindigkeitsübertragung durch sehr schnelle Bauelemente realisiert sein, beispielsweise in ECL- oder E²CL-Technik. Solche schnellen Bausteine sind erheblich teurer als Bausteine in Normal-Technik und erfordern einen wesentlich höheren Stromverbrauch.

Der Erfindung lag die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs genannten Art anzugeben, die mit weniger Schaltungsaufwand auszukommen imstande ist.

Die Lösung dieser Aufgabe erfolgt durch die kennzeichnenden Merkmale gemäß Anspruch 1.

Die erfindungsgemäße Schaltungsanordnung weist die Vorteile auf, daß eines der schnellen, teuren Flip-Flops eingespart wird. Damit wird auch der Stromverbrauch wesentlich geringer. Beim Einsatz in den vorgenannten Demultiplexern ergeben sich die weiteren Vorteile, daß erstens für die 1. Teilerstufe trotz der doppelten Frequenz ein dynamischer Frequenzteiler (für die Flip-Flops der 2. Stufe werden jedoch statische Teiler benötigt) verwendet werden kann, wodurch die Verlustleistung ebenfalls gesenkt wird. Zweitens ist die Belastung der ersten Teilerstufe geringer. Drittens wird der ungünstige Einfluß von Parameterschwankungen zwischen den beiden Flip-Flops der 2. Stufe der Anordnung nach Fig. 1 vermieden.

Es folgt die Beschreibung der Erfindung anhand der Figuren. Die Fig. 3 zeigt ein Ausführungsbeispiel für die erfindungsgemäße Schaltungsanordnung, die Fig. 4a bis 4c je ein Impulsdigramm mit über der Zeit aufgetragenen Signalen von Punkten der Anordnung nach Fig. 3.

Schließlich zeigt die Fig. 5 als Anwendungsbeispiel das Blockschaltbild eines 2-stufigen 1:4-Demultiplexers für hohe Bitraten, in dem die erfindungsgemäße Schaltungsanordnung eingesetzt ist.

In den Fig. 6a bis 6c sind verschiedene Taktsignale über der Zeit aufgetragen, die an entsprechenden Punkten der Schaltung nach Fig. 5 anstehen.

In Fig. 3 ist die Ringkaskadenschaltung zweier Flip-Flops erkennbar, wobei als Ausführungsbeispiel das 1. Flip-Flop ein Master- und das 2. Flip-Flop ein Slave-Teil eines Master-Slave-Flip-Flops ist. Der negierte Ausgang des Slave-Teils ist auf den D-Eingang des Master-Teils rückgekoppelt, das ganze Master-Slave-Flip-Flop wird mittels des Taktes T getaktet (der beim Slave-Teil auf den invertierenden Eingang \bar{T} geführt ist).

In Fig. 4a ist der Takt über der Zeit aufgetragen, in Fig. 4b darunter der Ausgang Q_M des Master-Teils und darunter in Fig. 4c der Ausgang Q_S des Slave-Teils. Wie man sieht, sind die beiden letzteren Signale um $\pi/2$ gegeneinander versetzt und weisen die halbe Rate des Taktsignals T auf. In der Fig. 5 ist das Blockschaltbild für einen 2-stufigen 1:4-Demultiplexer für hohe Bitraten gezeichnet, wobei das Eingangsdatensignal I in 2 Stufen über 3 parallelisierte Master-Slave-D-Flip-Flops MS-D-FF demultiplext wird und über Treiberstufen als Einzelsignale $Q1(1)$ bis $Q4(4)$ am Datenausgang ansteht.

Der frequenzhalbierte Takt C , der aus dem eingangsseitigen Takt Clock oder direkt aus dem Multiplex-Datensignal gewonnen wird, wird der Taktschaltung Timing der 1. Demultiplexer-Stufe und ihren beiden zwischenspeichernden Master-Slave-Flip-Flops $M1S1$ und $M2S2$ zugeführt. Der frequenzhalbierte Takt C wird über eine etwaige Laufzeitunterschiede ausgleichende Verzögerungsleitung Delay-Line ebenfalls der erfindungsgemäßen Anordnung eines Master-Slave-Flip-

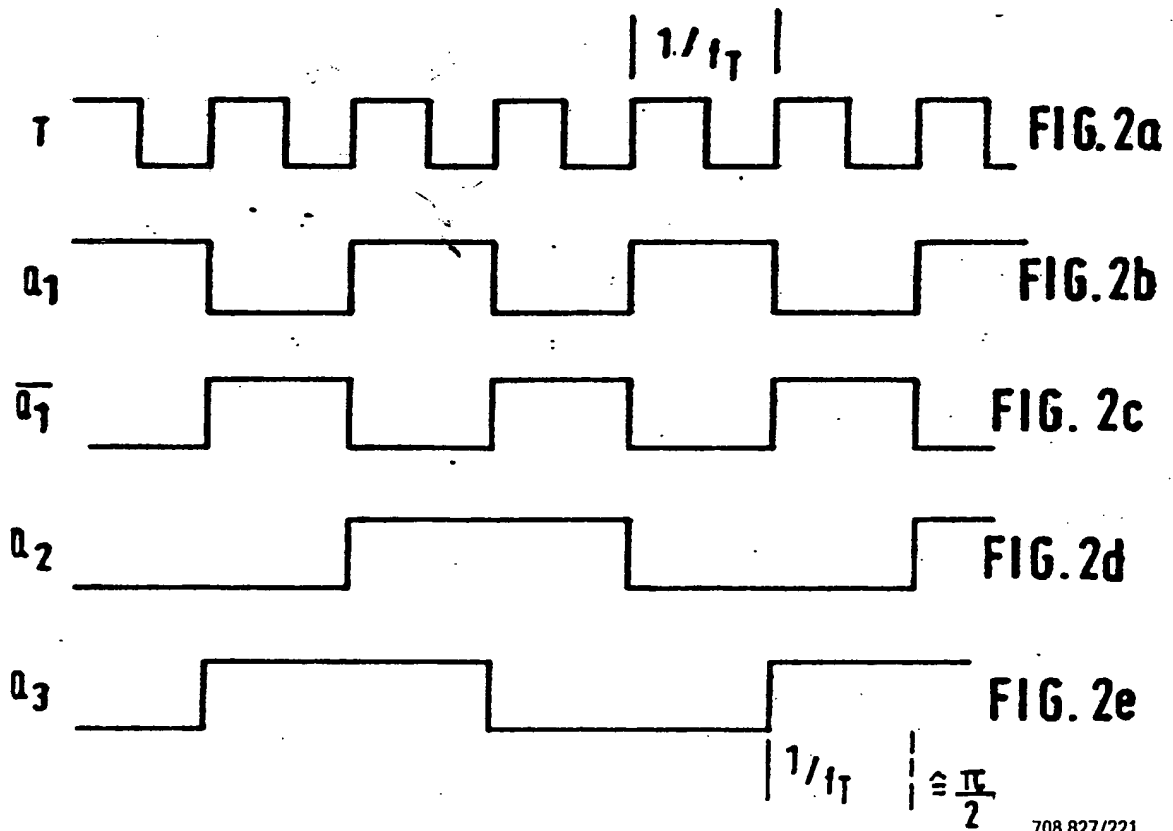
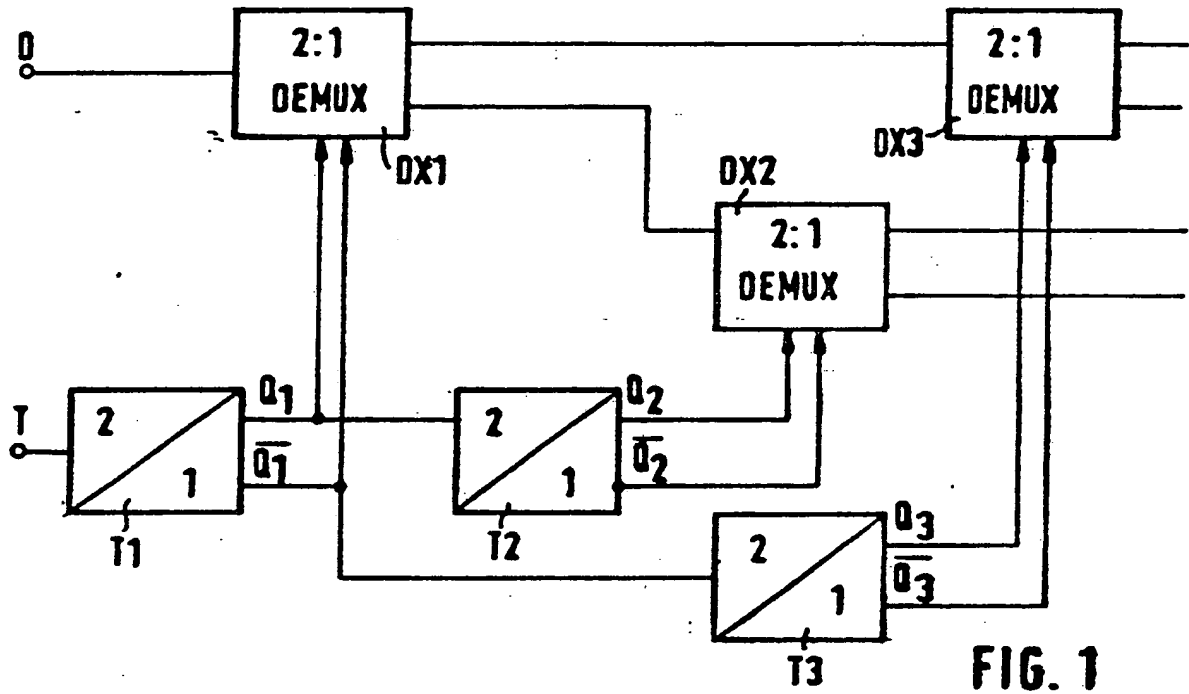
Flops MS zugeführt, dessen invertierter Ausgang \overline{Q} auf den D-Eingang des Master-Teils rückgekoppelt ist. Die Ausgänge des Master-Teils M und des Slave-Teils S bieten die beiden ersten um $\pi/2$ versetzten Takte $C1$ und $C2$, und die invertierten Ausgänge die beiden letzten um $\pi/2$ versetzten Takte $\overline{C1}$ und $\overline{C2}$.

Durch den ersten $C1$ und dritten Takt $\overline{C1}$ wird der eine 1:2-Demultiplexer Demux und das eine Master-Slave-Flip-Flop-Paar angesteuert, welche somit das erste $Q1(1)$ und das dritte Einzelsignal $Q3(3)$ liefern.

In entsprechender Weise wird der andere 1:2-Demultiplexer und das andere Master-Slave-Flip-Flop-Paar von dem zweiten $C2$ und vierten Takt $\overline{C2}$ angesteuert, wodurch das zweite $Q2(2)$ und vierte Einzelsignal $Q4(4)$ erzeugt werden. Zur Vereinfachung sind die komplementären Daten- und Taktleitungen z. T. nicht in die Figur gezeichnet. Die Fig. 6a zeigt den frequenzhalbierten Takt C , während die Fig. 6b und 6c die nochmals frequenzhalbierten und um $\pi/2$ gegeneinander versetzten Takte $C1$ und $C2$ zeigen.

In Fig. 7 ist als weiteres Ausführungsbeispiel ein 1-stufiger 1:4-Demultiplexer dargestellt, der 4 einseitig parallel geschaltete und mit dem empfangenen Multiplex-Datensignal beaufschlagten Master-Slave-Flip-Flop MS enthält, die von der erfindungsgemäßen Takterzeugungsanordnung mit jeweils um $\pi/2$ versetzten Takten versorgt werden. Diese Anordnung besteht aus einem MS-Flip-Flop, dessen Slave-Ausgang auf den invertierten Eingang und dessen invertierter Slave-Ausgang aus Symmetriegründen auf den Eingang des Master-Teils rückgekoppelt sind und das durch einen Takt C , dessen Frequenz f_c der halben Bitrate b des Multiplex-Datensignals entspricht, getaktet wird.

Selbstverständlich ist die erfindungsgemäße Anordnung auch in einem 4:1-Multiplexer anwendbar, wie er beispielsweise in Fig. 8 gezeigt ist. In dem 2-stufigen Multiplexer werden die 4 Einzelsignale $I1$ bis $I4$ durch 2 2:1-Mux zunächst zu 2 Signalen $I'1$ und $I'2$ und durch einen weiteren 2:1-Mux zum Multiplexsignal Q zusammengefaßt. Die erforderlichen 4 Takte werden von dem erfindungsgemäßen Master-Slave-Ring Frequency Divider geliefert, welche aus dem schnellen Systemtakt Clock der Frequenz $f_c = b/2$ die jeweils um $\pi/2$ versetzten Takte $S1$, $S2$ und die dazu invertierten Takte (nicht gezeichnet) der halben Frequenz $f_c/2$ liefert.



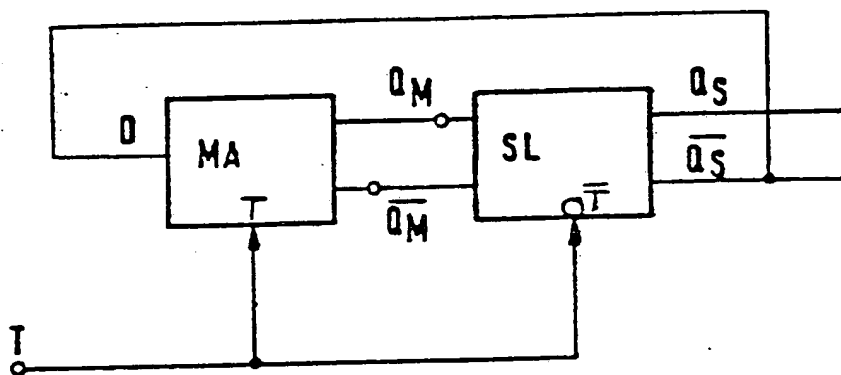


FIG. 3



FIG. 4a



FIG. 4b

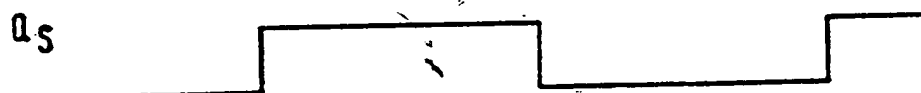
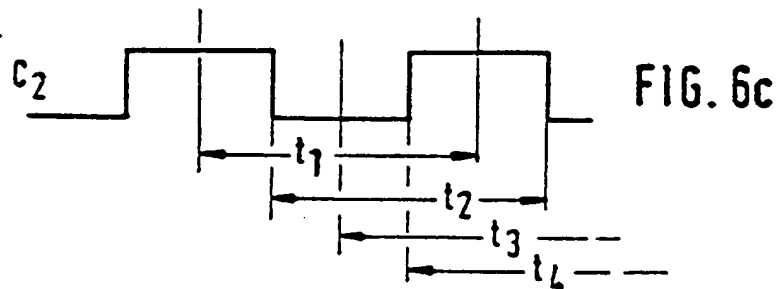
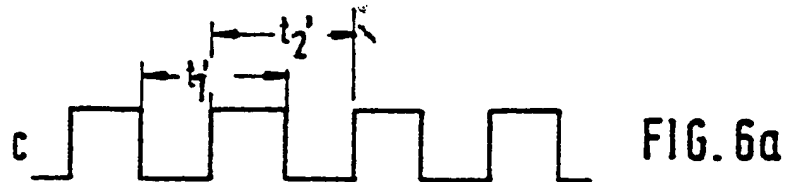
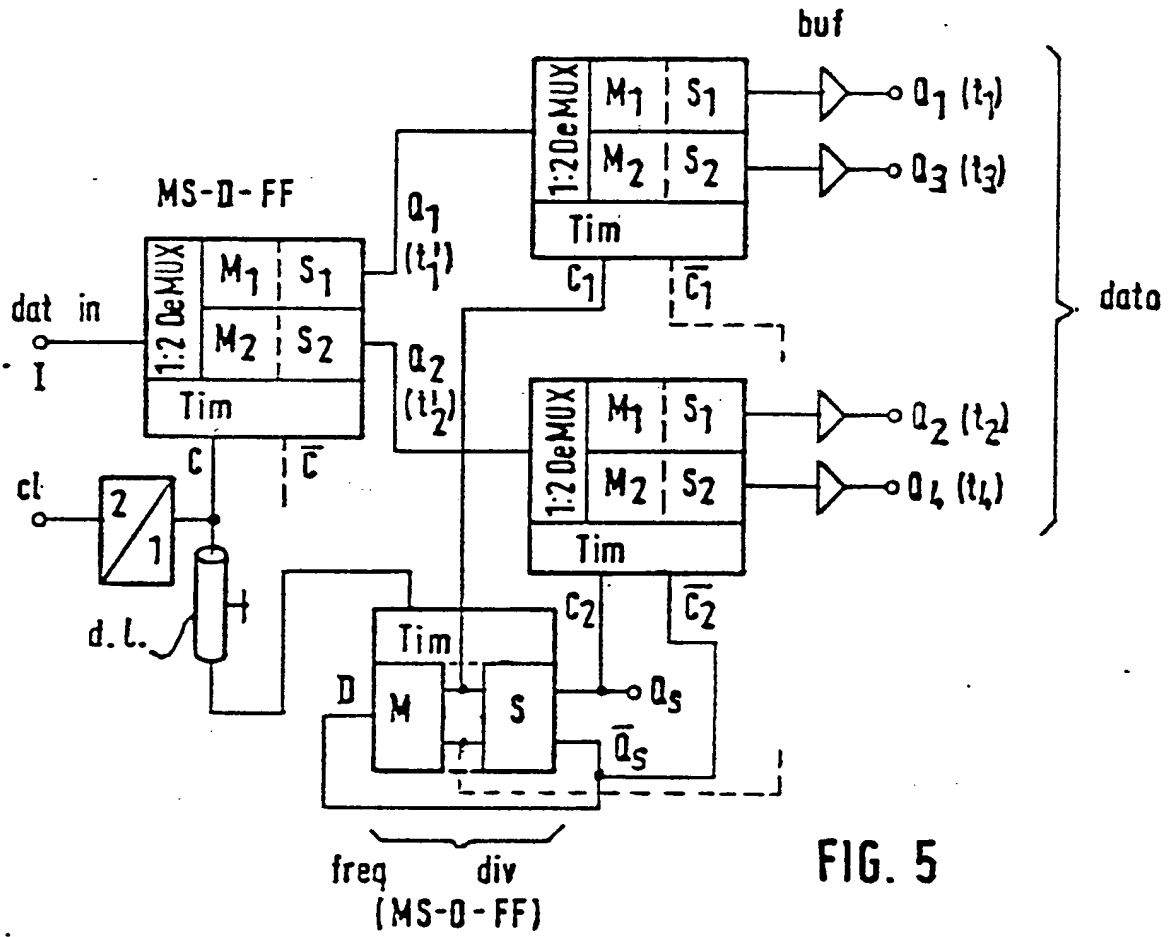


FIG. 4c

$$1/f_T \cong \frac{\pi}{2}$$

3546132



ORIGINAL INSPECTED

3546132

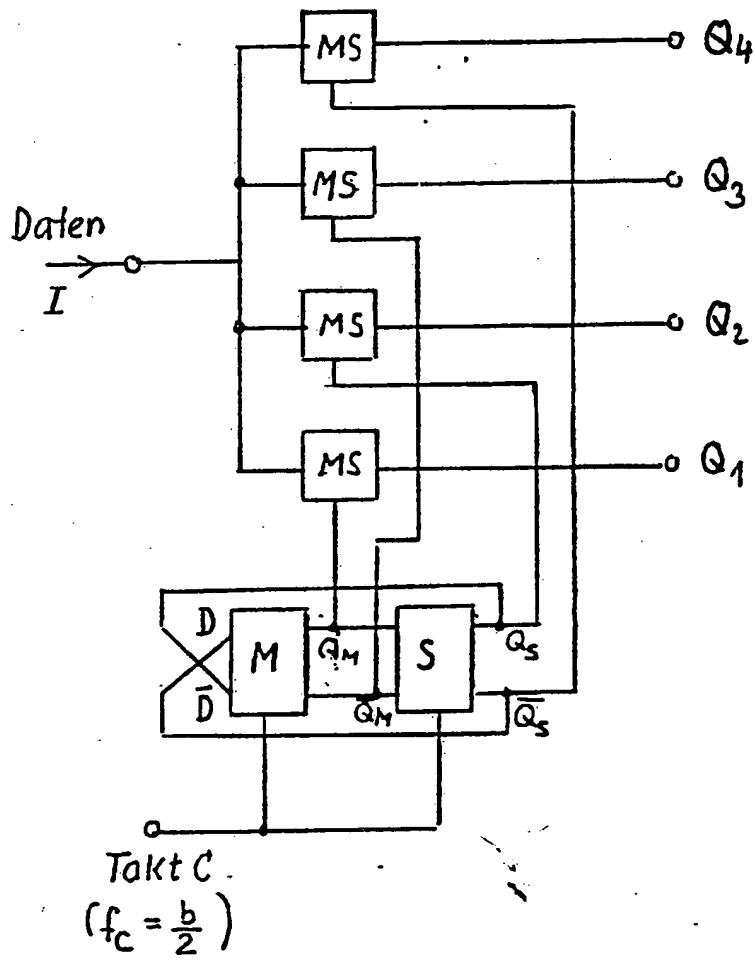


Fig. 7

ORIGINAL INSPECTED

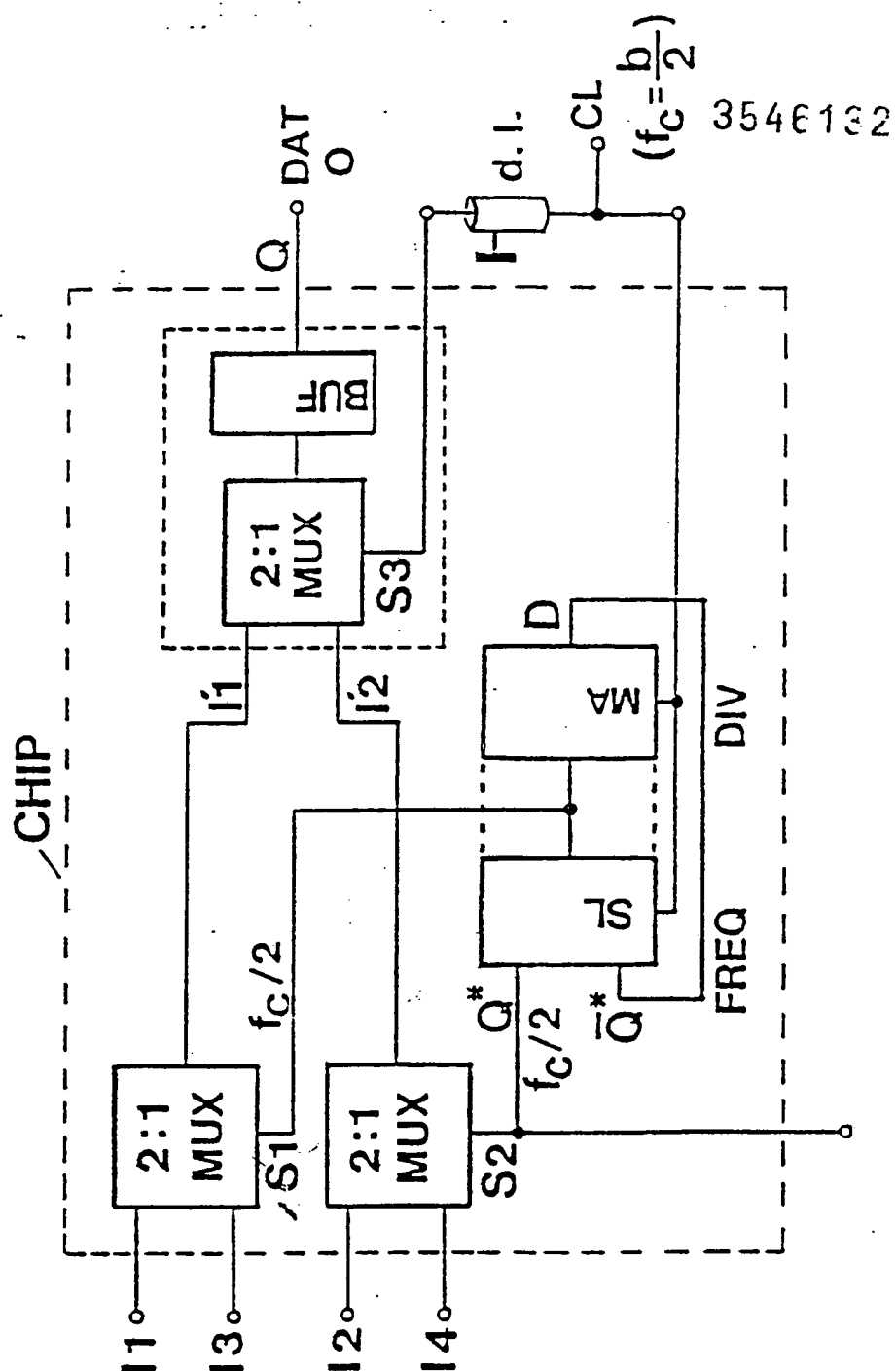


Fig. 8

ORIGINAL INSPECTED

PK 85-1112

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.